

DIALOG(R)File 352:Derwent WPI
(c) 2001 Derwent Info Ltd. All rts. reserv.

012225158 **Image available**

WPI Acc No: 1999-031264 199903

XRAM Acc No: C99-009835

XRPX Acc No: N99-024342

Polycrystalline silicon film manufacturing method for TFT used LCD -
involves polycrystallisation of non-crystalline silicon@ film followed by
lamp annealing and laser annealing

Patent Assignee: SANYO ELECTRIC CO LTD (SAOL) ; SONY CORP (SONY)

Number of Countries: 002 Number of Patents: 002

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 10294469	A	19981104	JP 9841497	A	19980224	199903 B
KR 98071575	A	19981026	KR 985388	A	19980220	199953

Priority Applications (No Type Date): JP 9739226 A 19970224

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 10294469	A	8	H01L-029 786	
KR 98071575	A		H01L-021 324	

Abstract (Basic): JP 10294469 A

The method involves forming an a-Si film (26) on a gate insulating film (14). The gate insulating film is arranged on a substrate (10) via a gate electrode (12). Then the a-Si film is subjected to halogen lamp irradiation and excimer laser irradiation followed by polycrystallisation. The polycrystallisation yields a p-Si film (24). The polycrystal is subjected to annealing to get homogeneity and suitable grain size. The p-Si film serves as an active layer of the TFT.

ADVANTAGE - Offers weight reduction and thereby cost. Improves display quality.

Dwg.2 6

Title Terms: POLYCRYSTALLINE; SILICON; FILM; MANUFACTURE; METHOD; TFT; LCD; NON; CRYSTAL; SILICON; FILM; FOLLOW; LAMP; ANNEAL; LASER; ANNEAL.

Derwent Class: L03; U11; U12; U14

International Patent Class (Main): H01L-021 324; H01L-029 786

International Patent Class (Additional): H01L-021 20; H01L-021 336

File Segment: CPI; EPI

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-294469

(43)公開日 平成10年(1998)11月4日

(51)Int.Cl.⁶

H 01 L 29/786
21/336
21/20

識別記号

F 1

H 01 L 29/78 6 2 7 G
21/20
29/78 6 1 7 A

(21)出願番号

特願平10-41497

(22)出願日

平成10年(1998)2月24日

(31)優先権主張番号 特願平9-39226

(32)優先日 平9(1997)2月24日

(33)優先権主張国 日本 (JP)

審査請求 未請求 請求項の数 5 ○L (全 8 頁)

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 鈴木 浩司

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

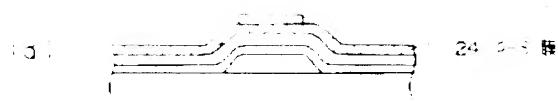
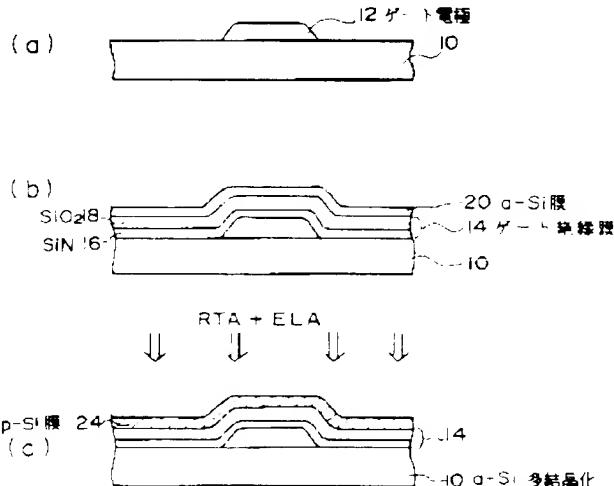
(74)代理人 弁理士 吉田 研二 (外2名)

(54)【発明の名称】 多結晶シリコン膜の製造方法、薄膜トランジスタの製造方法及びアニール装置

(57)【要約】

【課題】 高熱電導率の材料膜上の非晶質シリコンを多結晶化して均質な多結晶シリコンを形成する。

【解決手段】 基板10上に形成されたゲート電極12の上方にゲート絶縁膜14を介してゲート電極12を跨ぐようにn-Si膜20を形成し、その後n-Si膜20に対しハロゲンランプ照射によるRTA処理及びエチアルコール照射によるレーザアニール処理を施し、n-Si膜20を多結晶化させてp-Si膜24を得る。この種類のアニールを行うことにより、n-Si膜20の内、特にゲート電極12の上方領域においても均質で適切なグレインサイズの多結晶が得られる。得られたp-Si膜24をTFTの能動層(チャネル領域)として利用すれば、特性の優れたホールホール構造の多結晶シリ



【特許請求の範囲】

【請求項1】 基板上に形成された熱伝導率の高い材料の上方に非晶質シリコン膜を形成し、前記非晶質シリコン膜形成後、前記非晶質シリコン膜に対してヨードアニール処理及びレーザアニール処理を施し、前記非晶質シリコン膜を多結晶化させて多結晶シリコン膜を得ることを特徴とする多結晶シリコン膜の製造方法。

【請求項2】 ガラス基板上に形成されるボトムゲート構造の薄膜トランジスタの製造方法であって、前記ガラス基板上に所望のパターンに形成されたゲート電極膜の上方に、非晶質シリコン膜をゲート絶縁膜として形成し、前記非晶質シリコン膜形成後、前記非晶質シリコン膜に対してヨードアニール処理及びレーザアニール処理を施し、前記非晶質シリコン膜を多結晶化させて多結晶シリコン膜を形成し、前記多結晶シリコン膜を薄膜トランジスタの駆動層とすることを特徴とする薄膜トランジスタの製造方法。

【請求項3】 ガラス基板上に形成されるボトムゲート構造の薄膜トランジスタの製造方法であって、前記ガラス基板上に所望のパターンに形成されたゲート電極膜の上方に、非晶質シリコン膜をゲート絶縁膜として形成し、前記非晶質シリコン膜形成後、前記非晶質シリコン膜に対してヨードアニール処理及びレーザアニール処理を施し、前記非晶質シリコン膜を多結晶化させて多結晶シリコン膜を形成し、前記多結晶シリコン膜に不純物をドーピングし、前記多結晶シリコン膜に対してレーザアニール処理又はヨードアニール処理のいずれか又は両方を施して前記ドーピングした不純物を活性化し、前記多結晶シリコン膜中に薄膜トランジスタのベース、ドレイン領域及びチャーチル領域を形成することを特徴とする薄膜トランジスタの製造方法。

【請求項4】 前記請求項1～3に記載された方法に記載の製造方法によつて、前記非晶質シリコン膜に対してヨードアニール処理又はレーザアニール処理を施し、前記非晶質シリコン膜に対してヨード光照射による熱時間熱アーチ処理を施し、前記ヨード光照射シリコン膜に対してヨードアーチ処理を施して前記非晶質シリコン膜を多結晶化し多結晶シリコン膜を形成することを特徴とする多結晶シリコン膜又は薄膜トランジスタの製造方法。

装置。

【発明の詳細な説明】

【0.0.0.1】

【発明の属する技術分野】 本発明は、液晶ディスプレイ等のマトリクス型表示装置の薄膜トランジスタ(TFT)、薄膜トランジスター(FET)などの各種トランジスタに係り、特にそれらのトランジスタの駆動層として有効な多結晶シリコン膜の作成方法に関するもの。

【0.0.0.2】

【従来の技術】 近年、表示装置として高精細、高画質な表示が求められており、液晶ディスプレイではそのために被駆動層用のオーナンス素子として薄膜トランジスタを利用したアクティブマトリクス方式の液晶ディスプレイ(AM-LCD:Active Matrix Liquid Crystal Display)が用いられている。

【0.0.0.3】 TFTを用いたAM-LCDにおいては、薄膜トランジスタの駆動層、つまりモニタ領域として、非晶質シリコンを用いる結晶シリコンと、上記、多結晶シリコン膜を用いる多結晶シリコンTFTが知られている。

【0.0.0.4】 このうえ、非晶質シリコンTFTは、非晶質シリコン膜が低温(例えば、300°C)で成膜できるため、融点の低い安価ガラス基板上に形成することも容易であり、また高い転写確率に均質な非晶質シリコン膜を形成することも容易なことから、パネルの大型化に有利であり、現在のところ大型のLCDに多く用いられている。

【0.0.0.5】 一方、多結晶シリコンTFTは、非晶質シリコン膜に比較して多結晶シリコン膜の移動度が高く、TFTとした場合にアンペル電流が大きくシート抵抗(オン抵抗)が低い等、応答性や駆動能力に優れている。よって、高精細、高画質なものLCDのスイッチング素子として有用視されている。また、大型化に伴って選択期間(ドライブ時間)が短くなることから、大型LCD用の被駆動層用素子としてもその有用性が指摘されている。また、多結晶シリコンTFTは、多結晶シリコン膜を駆動層として用いて以来を経て、被駆動層用素子として特に駆動層、駆動回路、論理回路を構成するうえで、その素子として多く用いでき、更に、この多結晶駆動層素子及び論理回路の素子を用いて駆動層を基板上に形成することも可能である。このため、現在、多結晶シリコンTFTは、画素部と駆動部を同一基板上に形成した、いわゆるパッケイ(内蔵型)構造にて、なまはり精細、高画質、安価で小型であることが要求される中、小型化

多結晶シリコン TFT を融点（600°C 程度）の低い安定なガラス基板上に高、歩留まりで形成することが要求されている。しかし、現在のこと、ガラス基板の融点（600°C 程度）以下の温度で、透明なゲートシザイドを行なう多結晶シリコン膜を形成することは困難である。このため、最初に非晶質シリコン膜を基板上に形成し、これをレーザアニールを用いて、比較的低温で多結晶化させて多結晶シリコン膜を形成する方法が提案されている。

【00005】 例えば、図4に示すよなLCD用のボトムゲート構造の多結晶シリコン TFT の製造においては、ガラス基板上に形成された非晶質シリコン膜にエキシマレーザを照射して非晶質シリコン膜を加熱し、これを多結晶化するレーザアニール方法が用いられている。

【00006】 本トムゲート構造の多結晶シリコン TFT の製造では、まず、ガラス基板10上にゲート膜を形成してこれを所定の形状にバターニングし、図4（a）に示すようにゲート配線と一体のゲート電極12を形成する。次に、図4（b）に示すように、2層構造のゲート絕縁膜14と、非晶質シリコン膜（以下a-Si膜といふ）20をプラズマCVD（PECVD: Plasma Enhanced Chemical Vapor Deposition）によって連続形成する。

【00007】 そして、形成したa-Si膜20にエキシマレーザを照射してa-Si膜20をアニール（EELA: Excimer Laser Annealing）し、これによってa-Siを多結晶化して、多結晶シリコン（以下、c-Si膜といふ）22を得る。このときの基板温度は、通常300°C 程度である。

【00008】 多結晶化によりc-Si膜22を得た後、c-Si膜22の上に、チャタリ領域44を形成するとき領域（ゲート電極12と対向する領域）に、SiO₂（以下、チャタリとなるチャタリストップ膜30）を形成する（図4（c）参照）。次に、このチャタリストップ膜30をマスクとして、TFT上に（一層、ドレイン領域に相当する領域で、活性（上方より）不純物（例えは、P⁺）を注入する）。なお、図4（c）に示すTFT上は、TFT上に（lightly Doped Drain）構造であり、活性（ドレイン）領域12上、ドレイン（半導体）純度（N+）、チャタリ領域（チャタリ）、領域（P⁺）、ドレイン（高純度領域、N+）となっている。

【00009】 不純物ドープ後、ランダムアニールによる短時間熱処理（RGA: Rapid Thermal Annealing）を行なう。ここでされた不純物を活性化し、これによ

e₁を接続し、LCDの一方の基板を得る。なお、図4（d）に示すTFT上に、各配置は、例えは、図4に示すような配置にならっている。但し、図4は、ノーズ電極70、画素電極80と並前の状態を示している。

【00010】

【発明が解決しようとする課題】 以上のように、従来、ボトムゲート構造の多結晶シリコンTFTにおいては、c-Si膜22を上TAAによって多結晶化するc-Si膜22を得ている。

【00011】 このようなc-Si膜22の多結晶化は、供給される熱量（つまりエキシマレーザの強度）によって、c-Si膜22が発生する熱量（つまりエキシマレーザの強度）によって、c-Si膜22の半導体積（たゞ）の照射エネルギーを均一に再分布することが、技術的なc-Si膜22を形成する上で重要である。

【00012】 しかしながら、実際には、上TAAにより形成されたc-Si膜22のゲートシザイドが、全域にわたって均一にならない問題が生じた。

【00013】 このような膜質の不均一性が起る最大の原因は、ボトムゲート構造のTFT上では、多結晶化するc-Si膜22が、図4若しくは図5に示すように熱伝導性の高いゲート電極12の上方の一部を覆うように、つまりゲート電極12を斜めように形成されていることによる。つまり、ゲート電極12を構成する金属材料（例えは、Cu）は、周囲のガラス基板10の導電性も高い熱伝導率を有しており、c-Si膜22にエキシマレーザを照射すると、c-Si膜22の下を斜めにゲート電極12が存在する領域では、エキシマレーザによる熱がゲート電極12及びゲート電極によって他のガラス基板領域よりも速く拡散してしまってある。

【00014】 例えは、図6に示すように、ゲート電極12のない領域900では、c-Si膜22が適切なゲートシザイドの多結晶シリコンになれるが、同じアニール条件で、ゲート電極12の存在する領域920のc-Si膜22の多結晶化は不十分である。透明なゲートシザイドの多結晶シリコンにはならない。

【00015】 なお、多結晶化によって形成されるc-Si膜22のチャタリは、ゲート電極12のない領域900ではTAAの熱により熱擴散によって、この領域900の多結晶ゲートシザイドが形成されるようには、レーザアニールの条件を制御することも考慮される。ところが、c-Si膜22のチャタリ領域900のゲートシザイドを形成するには、各条件を調整すれば、たとえば、ガラス基板上に領域900における多結晶化

きなかった。

【0019】更に、上述のような直角で不均一な方向、シート・プローブ・S・T・膜2を用いて半下下を構成した場合、各半下下の特性（例えばカレーリー）は、常に依存する半導電説、シート抵抗のパラソルキが大きくなる。よって、上記の測定部のT下下として用いた場合、表示は誤りを生ずることとなる。上記の表示部に影響を与える原因となってしまうといふ問題がある。

【0020】本発明は、このような課題を解決するためになされたものであり、非晶質シリコンを多結晶化して均質な多結晶シリコンを形成することを目的とする。また、さらに、このような多結晶シリコン膜を利用して特徴の優れた薄膜トランジスタを提供することを目的とする。

【0021】

【課題を解決するための手段】本発明は、上記目的を達するためになされ、以下ののような特徴を備える。

【0022】まず、多結晶シリコン膜、製造方法において、この発明は、基板上に形成された熱伝導率の高い材料膜の上方に少なくとも一部に重なるように非晶質シリコン膜を形成し、前記非晶質シリコン膜形成後、前記非晶質シリコン膜に対してランダムアーリー処理及びレーザアーリー処理を施し、前記非晶質シリコン膜を多結晶化させて多結晶シリコン膜を得るものである。

【0023】また、この発明は、ガラス基板上に形成されるガトムゲート構造の薄膜トランジスタの製造方法であり、前記ガラス基板上に形成されたゲート電極膜を介して形成し、前記非晶質シリコン膜形成後、前記非晶質シリコン膜に対してランダムアーリー処理及びレーザアーリー処理を施し、前記非晶質シリコン膜を多結晶化させて多結晶シリコン膜を得し、得られた多結晶シリコン膜を薄膜トランジスタの駆動層とするものである。

【0024】更に、この発明は、ガラス基板上に形成されるガトムゲート構造の薄膜トランジスタの製造方法において、上述のように、非晶質シリコン膜形成後、前記非晶質シリコン膜に対してランダムアーリー処理及びレーザアーリー処理を施し、前記非晶質シリコン膜を多結晶化させて多結晶シリコン膜を得し、前記多結晶シリコン膜に不純物を注入する、この不純物を、多結晶シリコン膜に対してレーザアーリー処理又はランダムアーリー処理、又はそれらの組合せを施すことにより、不純物を、前記多結晶シリコン膜中に導入するものである。

レーザアーリー処理を施し、前記非晶質シリコン膜を多結晶化多結晶シリコン膜を形成するものである。

【0026】また、この発明は、非晶質シリコンを多結晶化するためのアーリーの蓄積にて、ハロゲンガスを照射して被アーリー体をアーリーするための照射間熱アーリー処理部と、エキシマレーザを照射して前記被アーリー体をアーリーするためのレーザアーリー処理部と、を近接配置したものである。

【0027】

【発明の実施の形態】以下、本発明の好適な実施の形態について、実施形態といふに付いて図説を用いて説明する。なお、以下に説明において、既に説明した図面と同様にには同一符号を付して説明を省略する。

【0028】図1は「多結晶化方法」の実施形態では、ランプ多結晶化法のため、アーリー更換として、ランプを用いたRTAと、エキシマレーザを用いたヒューリーAとの二種類のアーリー処理を施す。特に、多結晶化すべき非晶質シリコン膜の下層にガトムゲート電極が存在するガトムゲート構造のT下下において、T下下の駆動領域、つまりチャタリ領域部分を適切に多結晶化するため上記二種類のアーリー処理を採用している。

【0029】このような本実施形態に係るアーリー処理装置は、図1に示すような構成を備える。

【0030】まず、RTA処理部の構成から説明する。RTA処理部は、RTA装置に近似したものである。本実施形態では、被アーリー体としてのヨード膜の形成された基板1-10が、搬送ローラ1-0-2によって装置内に搬入され、予備加熱部1-0-4へと搬送される。予備加熱部1-0-4は、搬入された基板1-10を予備加熱する。基板の搬送路の上には、ハロゲンランプ、例えば、キセノンランプ1-0-10が設置されており、予備加熱された基板1-10が、これからのハロゲンランプ1-0-10によるライン状の加熱域を通過することにより、ヨード膜を加熱されて多結晶化が起こる。

【0031】加熱域を通過した後、基板1-10は冷却部1-0-6に搬送される。この冷却部1-0-6は、予め、凝露に保護されており、加熱域通過後に冷却基板1-10を効率的な冷却を避け、基板1-10の温度低下速度を保つよう構成され、搬送ローラ1-0-5を通過すると、基板1-10は搬送ローラ1-0-9によって装置より搬出され、後述するように次の工程へと進む。

【0032】本実施形態では、この実施形態の處理部にハロゲンランプ1-0-10による第一加熱域に加えて、基

ELA処理部は、光源200、光学系202及びエキシマーレーザ出射部204を備え、エキシマーレーザは、光源200から所望の光路202の2を介して出射部204に供給されている。なお、ELA処理部とRTA処理部との配置関係は必ずしも図1に示す位置に限られず、ELA処理部のエキシマーレーザ出射部204をRTA処理部のハロゲンランプ14より、よりも前段に設ける構成も適用可能である。

【0033】図1に示すようなアニール装置構成により、ゲート電極に対してハロゲン光照射後、速続してエキシマーレーザ照射されることとなる。そして、このような構成によって、 $\alpha-Si$ に対して二種類のアニールが施され、ゲート電極上方に適切なグレイ・サイズのドーブルを形成できると共に、ガラス基板上方の領域におけるゲート膜についても適切なゲート膜を得ることが可能となる。

【0034】二種類のアニールの採用によって、このような効果を得られるのは、例えば以下ののような理由による。

【0035】まず、ELAによる $\alpha-Si$ の多結晶化は、従来技術で示したように、ゲート電極上方の $\alpha-Si$ 領域よりもガラス基板上方の $\alpha-Si$ 領域の方が優先的に進む。

【0036】これに対し、 $\alpha-Si$ の多結晶化にあたりハロゲンランプを用いてRTAを行った場合、ハロゲン光は、ゲート膜に対しては吸収が弱く、ゲート電極に対しては吸収が強い。そこで、ゲート電極を跨ぐように形成される $\alpha-Si$ 膜に対してRTAを施すと、ゲート膜の内、ゲート電極が下層に存在する領域では、ゲート電極がハロゲン光を吸収して発熱し、 $\alpha-Si$ の多結晶化が優先的に進む。一方、ガラス基板も $\alpha-Si$ 膜と同じでハロゲン光に対する吸収が弱いことから、ガラス基板上に形成されている $\alpha-Si$ 膜領域はゲート電極上領域に比較すると吸熱量が少なく、これらの領域での多結晶化は遅い。

【0037】図1のよろ、多結晶化したRTAとELA部を複合化する上、ハロゲン光の照射によりゲート電極上の $\alpha-Si$ の表面はほとんど燃焼され状態で残すことでゲート照射される事となる。そして、ゲート電極の熱遮蔽によりエキシマーレーザ照射では加熱不十分となりどちらかゲート電極上領域の $\alpha-Si$ を十分に加熱することが可能となる。このため、エキシマーレーザ照射においてゲート膜内の温度がゲート電極上とガラス基板上との格差が小さくなる。均質な多結晶化が進行する。

結晶シリコン TFT を製造するといふ観点からも、RTA と ELA の二種類のアニール処理を組み合わせることは効果が高い。即ち、ELA を用いた場合、上述のようにゲート電極上のゲート膜領域を十分熱せんとすることが確実なもの。例えば基板温度は、200°C ~ 250°C 程度の室温 ~ 300°C 程度の低温での処理が可能である。一方、RTA だけでゲート膜を十分に多結晶化するためには、図1の基板温度を例えば 400°C ~ 450°C 程度とする必要がある。しかし、基板温度が 600°C 以上となると、基板とし打融率 60% 程度の優れたガラスを用いることは難しくなる。

【0038】本実施形態では、エキシマーレーザをゲート膜に照射するので、RTAにおいてそれは温度を高く設定する必要はない。例えば、より早く、あるいはそれ以降とするこでできること、従って、本発明では、熱性の低いガラス基板上であっても膜質の良い多結晶シリコン TFT を形成することが可能となる。

【0039】【多結晶シリコン TFT の製造方法】次に、図1、図2及び図3を参照して、上記 $\alpha-Si$ の多結晶化方法を利用したボトムゲート構造の多結晶シリコン TFT の製造方法の一例について説明する。

【0040】図2 (a) に示すように、まず、ガラス等の絶縁基板 10 上に、ゲート電極及びゲート電極と一体のゲート配線 (以下、単にゲート電極 12 という) として、Cr (W, Ta, Ti, Mo でも良い) をスパッタリングによって形成し、希望の形状にハクエンクアランバクターニング (表面形状については、図2 参照)。

【0041】ゲート電極 12 形成後、その表面を含む基板 10 の全面に二層構造のゲート絶縁膜 11 (SiN1 層、SiO₂1 層) 及び $\alpha-Si$ 膜 20 を PECVD により連続形成する (図2 (b) 参照)。

【0042】次に、図1のアニール処理装置を使用することにより、図2 (c) に示すように、 $\alpha-Si$ 膜 20 に RTA 及び ELA によるアニール処理を施し、 $\alpha-Si$ 膜 20 を多結晶化してゲート膜 12 を形成する。RTA と ELA と二種類のアニール処理にて、特に、ゲート膜 12 のゲート電極 12 上に残る熱遮蔽により、ゲート電極 12 上のゲート膜 12 が燃焼する領域にて、燃焼が進行なくしてゲート膜 12 の熱遮蔽が形成される。

【0043】ゲート膜 12 の多結晶化後、基板 10 の裏面からの露光 (或る裏面露光) によって、図2 (d) に示すように、ゲート膜 12 上にゲート電極 12 に対する遮蔽部 (遮蔽部) が形成される。

【0044】ゲート膜 12 の遮蔽部 (遮蔽部) が形成された後、露光 (或る裏面露光) によって、図2 (e) に示すように、ゲート膜 12 上にゲート電極 12 に対する遮蔽部 (遮蔽部) が形成される。

域を形成する。

【0-0-4-6】続いてLCD構造の下下下のLCD (Liquid Doped) 領域を形成するために、図3-(b)に示すように、チヤネン形成及びLCD領域を中心とした領域をマスクする上で覆い、低濃度ドーピングの場合と同じ伝導層の不純物をp+トナ膜2-1に高濃度ドーピングする。これによりマスクによって覆われたLCD領域の外側に低濃度ドーピング領域（N+）が形成される。

【0-0-4-7】低濃度及び高濃度の不純物ドーピング後、図3-(c)に示すように、ドーピした不純物を活性化するため活性化アーチを処理を行う。そして、このアーチ処理によって、下下下のLCD領域、チヤネン領域3-2-1-S、3-2-1-Nと、チヤネン領域3-2-1-S、3-2-1-Nがそれぞれ形成される。

【0-0-4-8】ところで、不純物活性化アーチ処理では、上上A又はRTAのいずれを利用しててもよい。また多結晶化の場合と同様に上上AとRTAの両方を組み合わせてもよい。なお、この活性化アーチにおけるアーチ濃度は、上上Aの場合、p+トナ膜2-1の膜温度が900°C程度となるように設定され（例し、基板温度は、20～250°C程度の室温～300°C程度）、RTAの場合には、基板温度（加热域温度）が600°C程度となるように設定される。

【0-0-4-9】不純物活性化後、p+トナ膜2-4を図5に示すような所望の形状にカーニングし、図3-(d)に示すように、トナ膜2-2、トナ膜2-4を積層して瞬間絶縁膜5-0を形成し、この瞬間絶縁膜5-0のチヤネン領域3-2-1-Sの位置にコンタクトホールを開口する。そして、その後にA1などからなるチヤネン電極7-0を形成し、チヤネン領域3-2-1-Sと接続する。

【0-0-5-0】液晶表示装置の液晶駆動用下下下を形成する場合には、更にこれらの上層のマスク用樹脂を用いて平坦化膜5-2を形成し、平坦化膜5-2及び瞬間絶縁膜5-0にコンタクトホールを開口し、その上に耐熱電極6-0となる下下下を形成し、下下下のチヤネン領域3-2-1-Sと接続する。なお、図3-(e)においては、チヤネン領域3-2-1-Sをチヤネン電極7-0に接続し、チヤネン領域3-2-1-Sを耐熱電極6-0に接続しているが、これには必ずしもチヤネン領域3-2-1-Sを耐熱電極6-0に接続する場合がある。

【0-0-5-1】以上のようにして、LCDパネルの画像表示部には、マトリクス用の画素毎に図3-(e)の如き構成の下下下が形成され、LCDパネルの構成が得られる。そして、この基板上、各電極及びカラーフィルタ

を、液晶駆動用ではなく、LCD内の各種（モリ素子や論理回路素子又は液晶表示装置の駆動回路、論理回路の素子として用いる場合には、画素電極6-0は不要である。この場合には、チヤネン電極7-0と同時に、同様な手法で、マスク膜7-0-1を形成し、チヤネン領域3-2-1と接続する。また、チヤネン電極の形成後ににおいては、それに対するチヤネン電線を接続する。但し、電極と配線を一体的に形成する場合には、チヤネン電線の形成と同時に必要な配線パターンを形成する。

【0-0-5-2】本実施形態の多結晶シリコン下下下は、液晶駆動用のチヤネンLCD、駆動回路用素子の両方に利用することができます。そして、LCD装置の駆動回路等の素子として、例えばCMOS（Complementary Metal Oxide Semiconductor）を形成する場合には、チヤネンの多結晶シリコン下下下を用いてチヤネンアーチを上、TFTと呼ばれる（ローラー）下下下を形成する。具体的には、図3-(f)、(g)に示すように、チヤネン不純物を先にドープする場合、チヤネン下下下の形成領域をマスク材で覆っておく。そして、チヤネン不純物ドーピング、チヤネン下下下を覆うマスク材を外離し、反対にチヤネン下下下の形成領域をマスクし、この状態で、図3-(f)と同様にしてp型の不純物をドープする（但し、LCD構造は採らない）。n型放電部の不純物ドープ終了後には、p+トナ膜2-2、p+トナ膜2-4とも同時に活性化処理を行い、図3-(g)に示すような下下下を作成する（駆動回路用のTFTでは耐熱電極6-0の形成は不要）。

【0-0-5-3】

【発明の効果】本発明によれば、熱伝導率の高い材料膜の上部に少なくとも一部が重なるように形成されたp+トナ膜の多結晶化にあたり、p+トナ膜に対してラジオアーチ処理及びレーザアーチ処理を施す。ラジオアーチにより、熱伝導率の高い材料膜上のマスク領域を十分に加熱することができるので、レーザアーチ処理では十分な多結晶化が難な上記熱材料膜上に適用できないが、熱伝導率をもつて形成しておいてさえ、

【0-0-5-4】熱伝導性優れ、熱の移動が比較的早い膜が形成された構成は、熱伝導率が高くなる構造。下下下や、多層構造の半導体装置などにおいて適用される構成である。よって、上述のような多結晶化方法を採用すればトランジスタ構造の多結晶シリコン下下下の製造にあたり、利用すれば、高伝導率のチヤネン電極の上部領域に形成された下下下の駆動層（チヤネン領域）における

【0-0-6-1】一方、上記の上、下、基板構成を用いて

【0-0-6-2】一方、上記の上、下、基板構成を用いて、チヤネン領域3-2-1-Sをチヤネン電極7-0に接続する

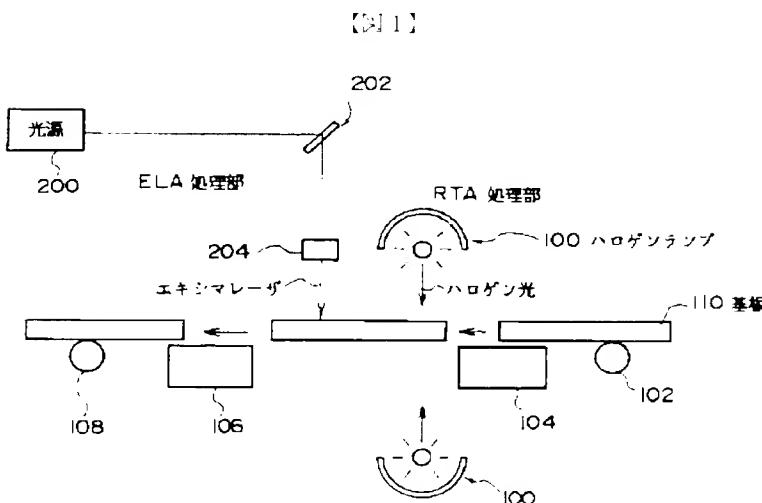
リコン TFT を形成することが容易となる。

【0057】本発明の多結晶シリコン TFT は、液晶表示装置等、マトリクス型の表示装置の画素駆動用のスイッチング素子や、表示装置の駆動回路のスイッチング素子のいずれか一方、あるいはこれら両方のスイッチング素子として容易に利用できる。特に、本発明では多結晶シリコン TFT を得られることから、画素駆動用のスイッチング素子と表示装置の駆動回路のスイッチング素子とを、同一基板上に同一工程によって形成することが可能となる。このため、表示装置のコストダウンにつながり、またパネル周辺に駆動回路が内蔵されることとなるので、表示装置の薄型化、軽量化を図ることができ、表示装置の表示品質の向上と共に大型化にも有利となる。

【0058】また、上述のような多結晶化方法を実行するためのアニール装置は、短時間熱アーナー処理部と、レーザアニール処理部とを近接配置することによって容易に構成でき、装置開発のための多大な努力を不要とする。

【図面の簡単な説明】

【図1】 本発明の実施形態に係る a - S 1 の多結晶化



本実施形態のアニール処理装置

のためのアニール装置構成を示す図である。

【図2】 本発明の実施形態に係るオトムゲート構造の多結晶シリコン TFT の製造工程を示す図である。

【図3】 本発明の実施形態に係るオトムゲート構造の多結晶シリコン TFT の製造工程を示す図である。

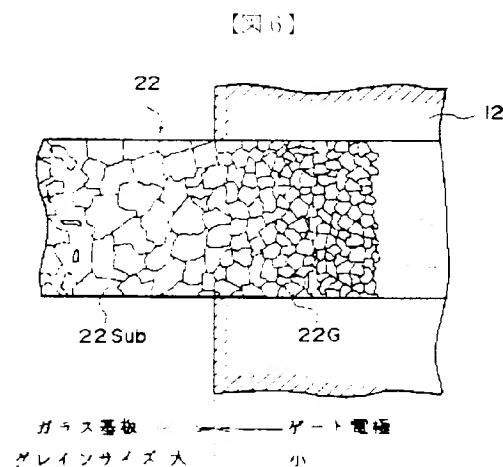
【図4】 オトムゲート構造の多結晶シリコン TFT の從来の製造工程を示す図である。

【図5】 オトムゲート構造の多結晶駆動用 TFT の平面構成を説明する図である。

【図6】 従来の多結晶化方法によって得られた p + Si 膜の多結晶化状態を示す図である。

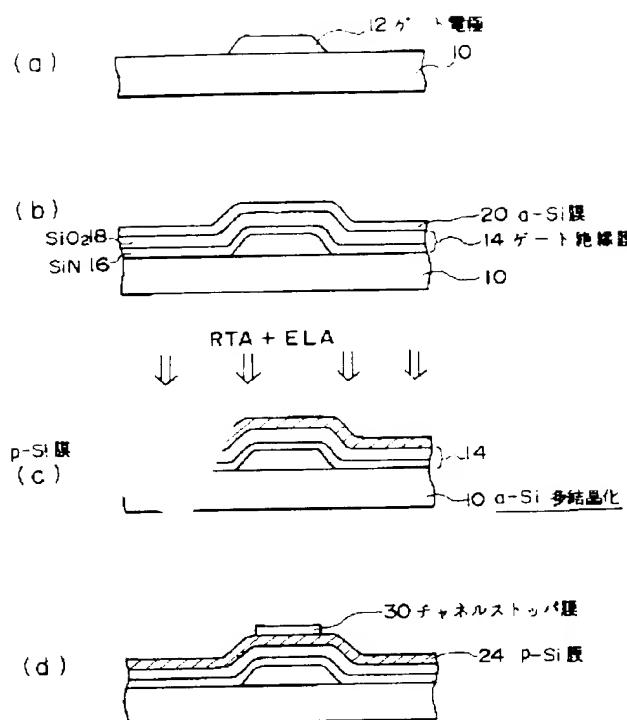
【符号の説明】

100 基板、102 ゲート電極、104 ゲート絕縁膜
200 a-Si 膜、202 エキシマレーザ膜、300 チャネルストップ膜、311 チャネル領域、312 ゲート領域、316 D ドレイン領域、601 TFT、1000 ハロゲンランプ、102、104 搬送ローラ、104 ハブ加熱部、106 热却部、200 光源、202 光学系、204 エキシマレーザ出射部。

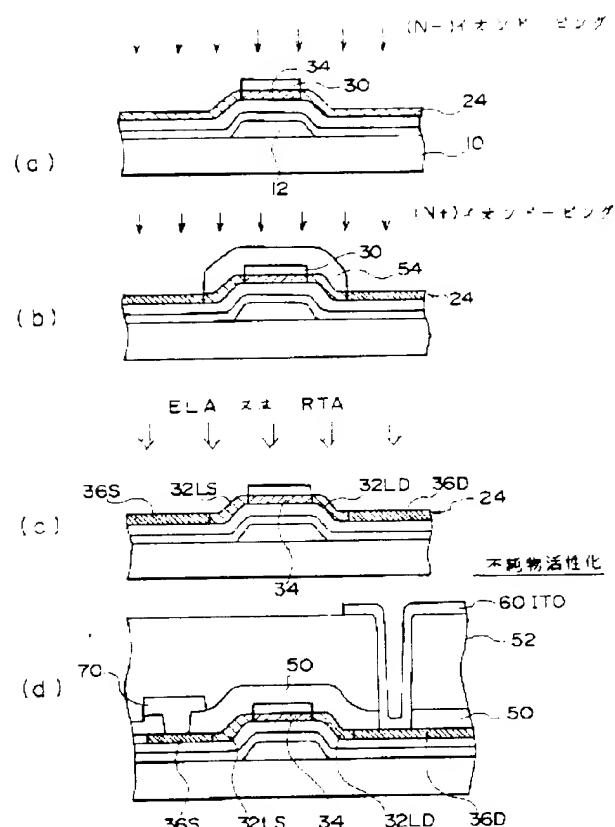


【図6】

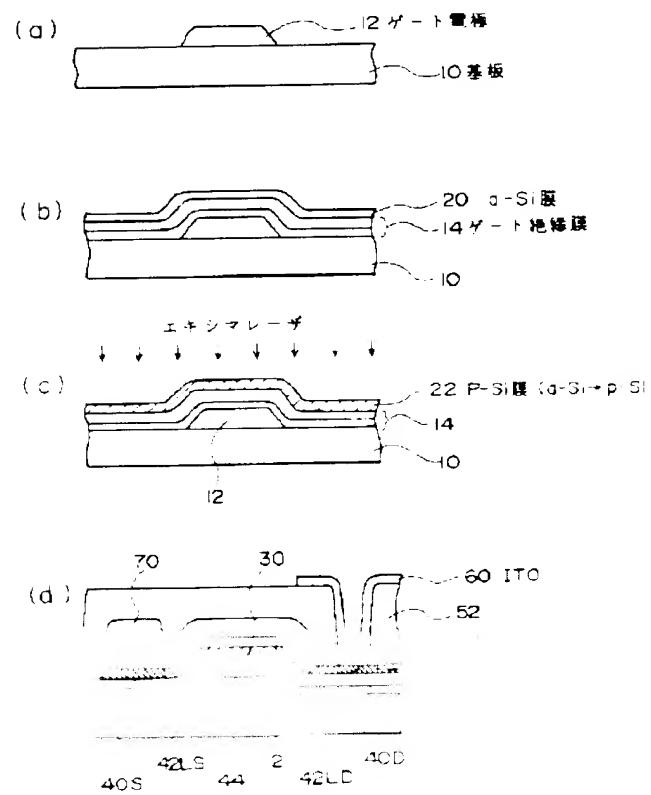
【図2】



【図3】



【図4】



【図5】

